

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

11-085477

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

G06F 7/58
H03K 3/84

(21)Application number : 09-248448

(71)Applicant : SONY CORP

(22)Date of filing : 12.09.1997

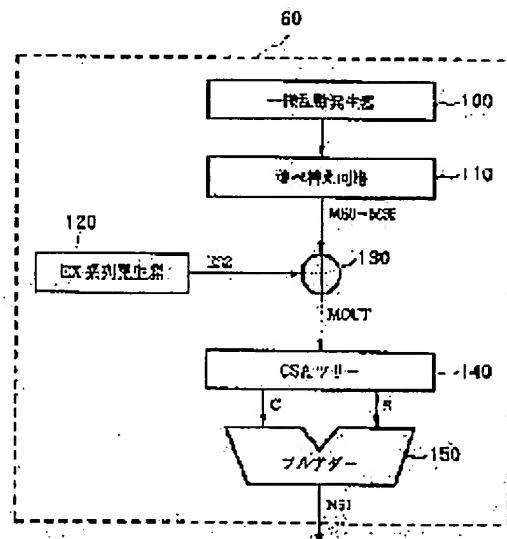
(72)Inventor : GENDAI YUUJI

(54) NOISE GENERATION DEVICE AND SIGNAL GENERATION DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a noise generation device capable of quickly generating a good quality normal random number(RN) noise while suppressing the increase of hardware.

SOLUTION: An RN sequence of 72 bits is generated by a uniform RN generator 100 and rearranged by a rearranging circuit 110 to generate six 12-bit RN strings MS0 to MS5. An exclusive OR operation part 130 finds out EXOR between a 12-bit RN string ES2 generated from an EX string generator 120 and each of bits of the RN strings MS0 to MS5 and outputs an RN string MOUT in which all '1's are properly distributed and uniformity and normality are guaranteed, thus a 72-bit RN string MOUT is obtained. A carry save adder(CSA) tree constituted of a CSA executes adding processing for the RN string MOUT outputted from the operation part 130 and a full adder 150 finally obtains a 10-bit normal distribution RN string NS1.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-85477

(43)公開日 平成11年(1999)3月30日

(51)Int.Cl.

G 0 6 F 7/58
H 10 3 K 3/84

識別記号

P I

G 0 6 F 7/58
H 0 3 K 3/84

C
A

審査請求 未請求 請求項の数8 OL (全12頁)

(21)出願番号

特願平9-248448

(22)出願日

平成9年(1997)9月12日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 源代 裕治

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

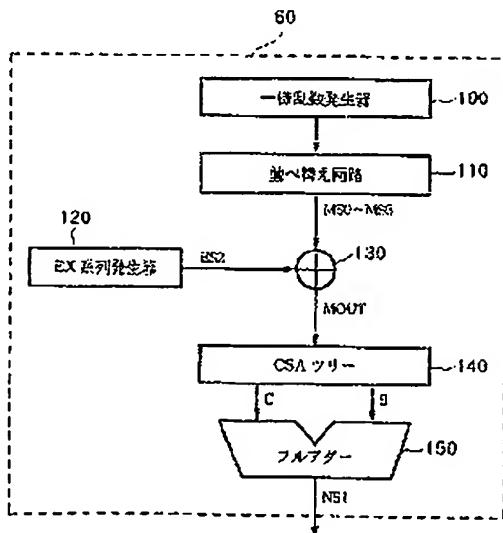
(74)代理人 弁理士 佐藤 陸久

(54)【発明の名称】ノイズ発生装置および信号生成装置

(57)【要約】

【課題】ハードウェアの増加を抑制しながら、高速に良質な正規乱数ノイズを発生できるノイズ発生装置が要望されている。

【解決手段】一様乱数発生器100により72ビットの乱数系列が発生され、並べ替え回路110により並び替えられて12ビットの6個の乱数列MS0～MS5が生成される。エクスクルーシブOR演算部130により、EX系列発生器120で生成された12ビットの乱数列ES2と乱数列MS0～MS5のそれぞれのビットのEXORが求められ、"1"の総数が適当に設らばっており、一様性および正規性が保証された72ビットの乱数列MOUTが得られる。エクスクルーシブOR演算部130から出力された乱数列MOUTに対して、CSAにより構成されたCSAツリー140により加算処理が行われ、さらにフルアダマー150により最終的に10ビットの正規分布乱数列NS1が得られる。



【特許請求の範囲】

【請求項1】M系列符号の生成規則を表す状態遷移行列Mに対して所定の変換を行い得られる、よりハミング距離の大きい符号列を生成する遷移行列に基づいた構成を有し、一様乱数を生成する一様乱数生成手段と、

前記生成された一様乱数より所定数の乱数を選択し、該選択した乱数を加算して正規分布乱数を生成する加算手段と、

前記生成された正規分布乱数をアナログ信号に変換し、正規分布特性を有するノイズ信号を生成するデジタル／アナログ変換手段とを有するノイズ発生装置。

【請求項2】前記一様乱数生成手段は、前記遷移行列Mに対して、正則行列Aを用いて $A^{-1}MA$ と変換して得られる行列、または、Mの転置行列 $'M$ を用いて $A^{-1}'M$ Aと変換して得られる行列を、前記符号列を生成する遷移行列とし、該遷移行列に基づいて構成される請求項1記載のノイズ発生装置。

【請求項3】前記一様乱数生成手段は、前記遷移行列Mに対して、前記正則行列Aとして直交行列Uとその転置行列 $'U$ を用いて、 $'U M U$ または $'U 'M U$ と変換して得られる行列を前記符号列を生成する遷移行列とし、該遷移行列に基づいて構成される請求項2記載のノイズ発生装置。

【請求項4】前記一様乱数生成手段は、前記遷移行列Mに対して、前記直交行列Uとして任意の直なり合わない*

$$P = \prod_{i=1}^n (U_i^{u_i} W_i^{w_i})$$

* 1行からのs_i、行jからのs_i、行(i ≠ j)を入れ替えた行列Sとその転置行列 $'S$ を用いて、 'S M S または 'S 'M S と変換して得られる行列を前記符号列を生成する遷移行列とし、該遷移行列に基づいて構成される請求項3記載のノイズ発生装置。

【請求項5】前記一様乱数生成手段は、前記遷移行列Mに対して、前記正則行列Aとして自己直交行列Wを用いて、 $W M W$ または $W 'M W$ と変換して得られる行列を前記符号列を生成する遷移行列とし、該遷移行列に基づいて構成される請求項2記載のノイズ発生装置。

【請求項6】前記一様乱数生成手段は、前記遷移行列Mに対して、前記自己直交行列Wとして単位行列Iに第1行第j列 (i ≠ j) の要素が1の行列 E_{ij} を加算した行列 $B (= I + E_{ij})$ を用いて、 $B M B$ または $B 'M B$ と変換して得られる行列を前記符号列を生成する遷移行列とし、該遷移行列に基づいて構成される請求項5記載のノイズ発生装置。

【請求項7】前記一様乱数生成手段は、前記遷移行列Mに対して、前記正則行列Aとして直交行列Uと自己直交行列Wとを任意に組算した(1)に示す行列Pを用いて、 $P^{-1}M P$ または $P^{-1}'M P$ と変換して得られる行列を前記符号列を生成する遷移行列とし、該遷移行列に基づいて構成される請求項2記載のノイズ発生装置。

【数1】

$$\dots (1)$$

但し、 U_i 、 W_i は、 U_i 、 W_i との直等である。

【請求項8】所望のデジタル信号波形データをアナログ信号に変換し、主たる信号を生成する第1のデジタル／アナログ変換手段と、

M系列符号の生成規則を表す状態遷移行列Mに対して所定の変換を行い得られる、よりハミング距離の大きい符号列を生成する遷移行列に基づいた構成を有し、一様乱数を生成する一様乱数生成手段と、

前記生成された一様乱数より所定数の乱数を選択し、該選択した乱数を加算して正規分布乱数を生成する加算手段と、

前記生成された正規分布乱数をアナログ信号に変換し、正規分布特性を有するノイズ信号を生成する第2のデジタル／アナログ変換手段と、

前記生成されたノイズ信号を前記主たる信号に対して所定のS/N比となるようにその振幅を調整する第1の振幅調整手段と、

前記生成された主たる信号と、前記振幅の調整されたノイズ信号を合成し、ノイズの印加された信号を生成する信号合成手段とを有する信号生成装置。

【発明の詳細な説明】

【0001】

30 【発明の属する技術分野】本発明は、ノイズ発生装置、特に正規分布特性を有する正規乱数を発生するノイズ発生装置と、そのノイズ発生装置を適用した所望の波形を有する信号生成装置に関する。

【0002】

【従来の技術】データ記憶装置に蓄積されたデジタルデータをデジタル／アナログ変換し、所望のアナログ信号を発生する信号生成装置(以降、これを波形生成装置と言う場合もある)が、各種試験や測定のための信号源として広く用いられている。たとえば、ハードディスク装置の信号処理ICに対して再生RFデータを疑似的に入力して評価する場合や、追信用信号処理ICに伝送された信号を疑似的に入力して行う試験などに用いられる。そのような試験では、理想的な信号のみではなく、ある程度のノイズを含む信号を用いる必要がある。そしてそのノイズは、被試験対象の動作が固定的になるのを避けるために毎回異なることが望ましい。

【0003】

【発明が解決しようとする課題】しかしながら、これまでの波形生成装置においては、そのように毎回異なるノイズを用いて信号波形を生成することが難しいという問

題がある。まず、ノイズを波形生成装置内で発生しようとすると、大規模の回路が必要となりハードウェアの大幅な増加が避けられない。そのため、通常は、ノイズを含む波形データを毎回外部より入力してやる方法がとられている。しかし、これまでの波形生成装置では生成する信号の速度に比べてデータ転送速度が非常に遅いため、生成する信号の速度あるいは試験および測定を行う時間がデータの書き込み速度により制限されてしまうという問題を生じている。たとえば、1 GS (ギガサンプル) / 秒の速度で信号を生成できる装置においても、データの書き込みは 5 MS (メガサンプル) / 秒程度である。

【0004】したがって、本発明の目的は、ハードウェアの増加を抑制しながら、高速に良質な正規乱数ノイズを発生できるノイズ発生装置を提供することにある。また、本発明の他の目的は、ハードウェアの増加を抑制しながら、良質の正規乱数ノイズを含んだ任意の波形信号を実時間で生成することのできる波形生成装置を提供することにある。

【0005】

【課題を解決するための手段】したがって、本発明のノイズ発生装置は、M 系列符号の生成規則を表す状態遷移行列 M に対して所定の変換を行い得られる、よりハミング距離の大きい符号列を生成する遷移行列に基づいた構成を有し、一様乱数を生成する一様乱数生成手段と、前記生成された一様乱数より所定数の乱数を選択し、該選択した乱数を加算して正規分布乱数を生成する加算手段と、前記生成された正規分布乱数をアナログ信号に変換し、正規分布特性を有するノイズ信号を生成するデジタル／アナログ変換手段とを有する。

【0006】特定的には、前記一様乱数生成手段は、前記遷移行列 M に対して、正則行列 A を用いて $A^{-1}MA$ と変換して得られる行列、または、M の転置行列 M を用いて $A^{-1}MA$ と変換して得られる行列を、前記符号列を生成する遷移行列とし、該遷移行列に基づいて構成される。また特定的には、前記一様乱数生成手段は、前記遷移行列 M に対して、前記正則行列 A として直交行列 U とその転置行列 U を用いて、 $U^{-1}MU$ または $U^{-1}MU$ と変換して得られる行列を前記符号列を生成する遷移行列とし、該遷移行列に基づいて構成される。さらに特定的には、前記一様乱数生成手段は、前記遷移行列 M に対して、前記直交行列 U として任意の重なり合わない i 行からの s_i 行と j 行からの s_j 行 ($i \neq j$) を入れ替えた行列 S を用いて、 $S^{-1}MS$ または $S^{-1}MS$ と変換して得られる行列を前記符号列を生成する遷移行列とし、該遷移行列に基づいて構成される。

【0007】また特定的には、前記一様乱数生成手段は、前記遷移行列 M に対して、前記正則行列 A として自己直交行列 W を用いて $W^{-1}MW$ または $W^{-1}MW$ と変換して得られる行列を、前記符号列を生成する遷移行列とし、

該遷移行列に基づいて構成される。さらに特定的には、前記一様乱数生成手段は、前記遷移行列 M に対して、前記自己直交行列 W として、単位行列 I に第 i 行第 j 列 ($i \times j$) の要素が 1 の行列 E_{ij} を加算した行列 B (= $I + E_{ij}$) を用いて、 $B^{-1}MB$ または $B^{-1}MB$ と変換して得られる行列を前記符号列を生成する遷移行列とし、該遷移行列に基づいて構成される。また特定的には、前記一様乱数生成手段は、前記遷移行列 M に対して、前記正則行列 A として直交行列 U と自己直交行列 W を任意に乘算した (2) に示す行列 P を用いて、 $P^{-1}MP$ または $P^{-1}MP$ と変換して得られる行列を前記符号列を生成する遷移行列とし、該遷移行列に基づいて構成される。

【0008】

【数 2】

$$P = \prod_{i=1}^n (U_i \cdots W_i) \quad \cdots (2)$$

但し、 U_i, W_i は、 $U_i, W_i \neq 0$ の整数である。

【0009】また、本発明の信号生成装置は、所望のデジタル信号波形データをアナログ信号に変換したる信号を生成する第 1 のデジタル／アナログ変換手段と、M 系列符号の生成規則を表す状態遷移行列 M に対して所定の変換を行い得られるよりハミング距離の大きい符号列を生成する遷移行列に基づいた構成を有し、一様乱数を生成する一様乱数生成手段と、前記生成された一様乱数より所定数の乱数を選択し、該選択した乱数を加算して正規分布乱数を生成する加算手段と、前記生成された正規分布乱数をアナログ信号に変換し、正規分布特性を有するノイズ信号を生成する第 2 のデジタル／アナログ変換手段と、前記生成されたノイズ信号を前記主たる信号に対して所望の S/N 比となるようにその振幅を調整する第 1 の振幅調整手段と、前記生成された主たる信号と、前記振幅の調整されたノイズ信号を合成し、ノイズの印加された信号を生成する信号合成手段とを有する。

【0010】

【発明の実施の形態】本発明の一実施の形態の波形生成装置を図 1 ～ 図 10 を参照して説明する。図 1 は、その本実施の形態の波形生成装置の構成を示すブロック図である。波形生成装置 1 は、波形記憶装置 10、第 1 のデジタル／アナログ変換部 (DAC) 20、加算器 30、主減衰器 40、低域通過フィルタ (ローパスフィルタ) 50、ノイズ発生装置 60、第 2 のデジタル／アナログ変換器 (DAC) 70 および副減衰器 80 を有する。

【0011】波形生成装置 1 の構成について説明する。波形記憶装置 10 は、たとえば半導体記憶装置により構成され、所望の波形を生成するための波形データが外部より入力され蓄積される。波形生成時にはこの波形データが順次読み出され、DAC 20 に出力される。なお、波形記憶装置 10 においては、1 サンプルの波形データは 8 ビットで表される。第 1 のデジタル／アナログ変換

部(DAC)20は、入力された波形データをアナログ信号に変換し加算器30に出力する。

【0012】ノイズ発生装置60は、正規乱数列からなるデジタルノイズ信号を発生し、DAC70に出力する。この本発明に係わるノイズ発生装置60の構成については後に詳細に説明する。第2のデジタル/アナログ変換部(DAC)70は、ノイズ発生装置60より入力されたデジタルノイズ信号をアナログ信号に変換し副減衰器80に出力する。副減衰器80は、DAC70から出力されたアナログノイズ信号を所望の減衰率で減衰させ、加算器30に出力する。

【0013】加算器30においては、DAC20より入力された波形データと、副減衰器80より入力されたノイズ信号とを合成してノイズのった所望の信号を生成し、主減衰器40に出力する。主減衰器40は、加算器30で合成された信号を所望の減衰率で減衰させ、所望の振幅の信号に変換し、ローパスフィルタ50に出力する。ローパスフィルタ50は、主減衰器40より出力された信号の高調波ノイズをカットし、生成した信号を波形生成装置1より出力する。

【0014】波形生成装置1の動作について説明する。まず、生成しようとする波形のデジタルデータが、予め波形生成装置1に入力されて波形記憶装置10に蓄積される。波形の生成を開始すると、波形記憶装置10は蓄積されているデータを順次読み出し出力する。また、ノイズ発生装置60は順次ノイズを生成する。波形記憶装置10およびノイズ発生装置60より各々出力されるデジタル波形データおよびデジタルノイズデータは、DAC20およびDAC70で各々アナログ信号に変換される。

【0015】アナログ信号に変換されたノイズ信号は、副減衰器80でその振幅が調整される。この副減衰器80における振幅の調整により、波形信号に印加されるノイズのレベルが調整される。換言すれば、生成する信号のS/N比が所望の値に調整される。生成されたアナログ波形信号および、副減衰器80で振幅の調整されたアナログノイズ信号は、加算器30で合成されてノイズを含んだ信号が生成され、さらに主減衰器40でその信号全体の振幅が調整され、最後にローパスフィルタ50で高調波ノイズがカットされて出力される。

【0016】このような波形生成装置1によれば、ノイズを考慮しない所望の波形データをデジタルデータとして一時記憶するだけで、毎回異なるノイズが所望のS/N比で重畠された、任意の波形の信号を発生することができる。

【0017】次に、ノイズ発生装置60について図2～図10を参照して説明する。まず、ノイズ発生装置60においてノイズデータを生成する発生方法の概略について説明する。波形生成装置1においては、試験および測定の目的により種々の分布特性を有するノイズが要求さ

れる場合があるが、通常は正規乱数(ホワイト・ガウシアン・ノイズ)を用いる場合が多く、正規乱数を発生できれば一般的なケースには対応可能である。そこでノイズ発生装置60も、その正規分布乱数を発生する。

【0018】ノイズ発生装置60において、正規乱数を発生する方法として、たとえば12個の独立した一様な乱数を加算する方法を用いる。この方法は、 x_i ($i = 0, 1 \sim 11$) を区間 [0, 1] 上の一様乱数とする。これらの乱数の和 ($x_0 + x_1 + \dots + x_{11}$) が、平均値6、分散が1の正規分布に非常に近似していることを利用する方法である。そのために、ノイズ発生装置60においては、12個の一様乱数を高速に発生させる必要がある。

【0019】また、前述したように波形記憶装置10から再生出力される波形データは8ビットのデータなので、ノイズ発生装置60により生成する正規乱数も8ビットのビット幅を有していることが望ましい。12個の乱数の加算で3ビット強増えるので、元になる一様乱数としては5ビット弱が必要であることになるが、通常、ノイズのレベルが信号のレベルより小さいことを考慮すると、4ビットでも十分である。一方で、一様乱数に対する量子化誤差が発生するので、これを無視できるような精度が必要となる。これらを考慮し、本実施の形態のノイズ発生装置60においては、6ビットの一様乱数を用いるものとする。

【0020】そしてこのように、ビット幅6の一様乱数を12個加算して正規分布乱数を発生する場合、1つの正規分布乱数を発生するために合計72ビットの一様乱数が必要となる。以上をまとめると、ノイズ発生装置60においては、72ビットの一様乱数を生成し、6ビットずつの12個の一様乱数としてそれらを加算して正規乱数を生成する。なお、生成される正規乱数は、結果的に10ビットの値となる。また、この正規乱数の生成は、波形生成装置の1クロック(1サンプル)に対して1個の正規乱数を生成する。

【0021】以下、ノイズ発生装置60の構成について具体的に説明する。図2は、ノイズ発生装置60の構成を示すブロック図である。ノイズ発生装置60は、一様乱数発生器100、並べ替え回路110、EX系列発生器120、エクスクルーシブOR演算部130、CSAツリー140およびフルアダム150を有する。

【0022】一様乱数発生器100は、M系列に基づいた逐次行列に基づいて72ビットの一様乱数を生成し、並べ替え回路110に出力する。

【0023】まず、このM系列について説明する。nビット幅のレジスタの各ビットに、ガロア体GF(4)上のn次の原始多項式による剰余群の係数列を対応させると、このレジスタは、nビットで表現できる 2^n 通りの内全ビットがりであるものを除く $2^n - 1$ 通りを表現できることになる。このようなレジスタにより作られる系

列をM系列と呼び、その状態推移は、非常に周期の大きな一様乱数と考えることができる。nビット幅のレジスタでM系列を実現する時、各クロックによる状態推移は線形である。したがって、一般に、n次正方行列Mを用いると(3)のように表される。

【0024】

【数3】

$$v_{k+1} = Mv_k \quad \cdots (3)$$

【0025】ここで、 v_k はk番目の時刻におけるレジスタの状態を示すn次ベクトルである。任意の状態ベクトルを v_0 とした時、k番目のベクトル v_k は(4)のように表される。

【0026】

【数4】

$$v_k = M^k v_0 \quad \cdots (4)$$

【0027】従って、 M^k ($k = 1, 2, \dots, 2^n - 1$) は全て異なっており、Mのべき乗で作られる巡回群 $\langle M \rangle$ は体をなす。 $\langle M \rangle$ の代数的構造から考えて、Mは対応する原始多項式のゼロ元になる。以後、この行列Mを原始遷移行列と呼ぶことにする。行列Mが与えられると、それに対応するレジスタ構造は1対1に対応する。具体的には、Mの中で1である要素に対応して、ラッチ間の接続、もしくは排他論理和経由の接続が発生する。

【0028】具体例をあげて説明する。たとえば、3次の原始多項式 $x^3 + x + 1$ を法とするxの巡回表現を考えると、その系列は(5)のようになる。

【0029】

【数5】

$$\begin{aligned} x &\equiv x \\ x^2 &\equiv x^2 \\ x^3 &\equiv x+1 \\ x^4 &\equiv x^2+x \\ x^5 &\equiv x^2+x+1 \\ x^6 &\equiv x \\ x^7 &\equiv 1 \end{aligned} \quad \cdots (5)$$

【0030】右辺の多項式に $x^4, x^3, x^2 = 1$ の係数に応する3次ベクトル v を対応させると、遷移行列Mは(6)のように表される。

【0031】

【数6】

$$M = \begin{pmatrix} 0 & 1 & 0 \\ 1 & 0 & 1 \\ 1 & 0 & 0 \end{pmatrix} \quad \cdots (6)$$

【0032】そして、これに対応するハードウェアは、図3のようになる。

【0033】また、4次の原始多項式 $x^4 + x + 1$ に対しては、(7)に示すような遷移行列Mを対応させることができる。

【0034】

【数7】

$$M = \begin{pmatrix} 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 1 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 \end{pmatrix} \quad \cdots (7)$$

【0035】そして、これに対応するハードウェアは、図4のようになる。この遷移行列Mに対応するシフトレジスタの状態遷移を、初期状態(0, 0, 0, 1)から記すると、(表1)のようになり、一種の乱数となっている。

【0036】

【表1】

(表1)
0 0 0 1
0 0 1 0
0 1 0 0
1 0 0 0
0 0 1 1
0 1 1 0
1 1 0 0
1 0 1 1
0 1 0 1
1 0 1 0
0 1 1 1
1 1 1 0
1 1 1 1
1 1 0 1
1 0 0 1
0 0 0 1

【0037】しかしながら、表1からわかるように、実はこの構成のみでは推移する前後の状態における相間が大きい。たとえば、クロックの前後でシフト分をのぞくと両端の2ビット以外変化しない。表1は4ビットのシフトレジスタであるが、これをたとえば、後述するように13ビット、17ビット、23ビット、あるいは、72ビットというように長くすると、そのビット長に相応するサンプルだけ、非常に相間の強い系列が連続することになる。

【0038】そこで、本実施の形態のノイズ発生装置60においては、この行列をさらに変換する。前述したように、遷移行列とそれに対応するシフトレジスタは一意に対応することができるが、一つの原始多項式に対応する遷移行列は1つではない。行列Mは(8)に示す特性多項式のゼロ元である。なお(8)において、Iはn次単位行列を表す。

【0039】

【数8】

$$I - \lambda I = \begin{pmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{pmatrix} - \lambda \begin{pmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{pmatrix} \quad \cdots (8)$$

【0040】したがって、原始遷移行列は、特性多項式

が原始多項式である行列のことであると言える。特性多項式は、(9)に示すように、正則行列Aを用いた座標変換 $A^{-1}MA$ で不变なので、1つの原始遷移行列から座標変換によって作られた行列もやはり原始遷移行列である。

$$|A^{-1}(A - \lambda I)| = |A^{-1}(M - \lambda I)A| = |A^{-1}| |M - \lambda I| |A| = |M - \lambda I| \quad \cdots (9)$$

【0042】そこで、(10)に示す行列Bを考えると、ガロア体(4)上では、 B^4 は単位行列Iとなる。したがって、 $B^{-1} = B$ である。

【0043】

【数10】

$$B = \begin{pmatrix} 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{pmatrix} \quad \cdots (10)$$

* することが言える。
【0041】
【数9】

* 【0044】この行列Bを用いて、(11)に示すよう
な A' をつくりこれを遷移行列とする。

【0045】
10 【数11】

$$A' = BAB = \begin{pmatrix} 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 \\ 1 & 1 & 0 & 1 \\ 1 & 1 & 0 & 0 \end{pmatrix} \quad \cdots (11)$$

※

【0046】この遷移行列 A' に対応するハードウェアを図5に示す。図5に示す遷移行列に対応する回路において、ラッチ間でのエクスクルーシブORの必要入力数は、遷移行列の1行中の1の数に等しい。2入力エクスクルーシブORで構成するときには、ラッチ間の最大エクスクルーシブORの段数は、1が最も多い行の1の数より1小さいものとなる。図5に示した回路により生成される系列の状態遷移を、(表2)に示す。

【0047】

【表2】

(表2)

0	0	0	1
0	0	1	0
1	1	0	0
1	0	0	0
0	0	1	1
1	1	1	0
0	1	0	0
1	0	1	1
1	1	0	1
1	0	1	0
1	1	1	1
0	1	1	0
0	1	1	1
1	0	0	1
0	0	0	1

本実施の形態においては、M系列の生成規則を表す遷移行列Mに対して、前述したように正則行列Aを用いて $A^{-1}MA$ の変換を行い、これにより得られ遷移行列に基づいて乱数を発生する。すなわち、この遷移行列に基づいて構成されるシフトレジスタを中心とする乱数発生回路を用いて一様乱数を発生する。

【0049】一様乱数発生器100においては、そのような遷移行列を用いて72ビットのM系列を直接生成してもよいが、より生成する乱数間の相間を小さくするために、複数の系列を合成して72ビットの正規乱数を生成する。この時に、72ビットを複数の系列に分割する方法は任意でよいが、72ビットの乱数としての周期を長くするために、各系列のビット数はお互いに素であることが望ましい。具体的には、35ビット系列と37ビット系列の組み合わせ、あるいは、13ビット、17ビット、19ビットおよび23ビットの各M系列を生成する組み合わせが好適である。

【0050】そのような、13ビット、17ビット、19ビットおよび23ビットの各M系列を生成する原始多項式の具体例を(12)～(15)に示す。

【0051】

【数12】

$$x^{17} + x^{16} + x^4 + x^3 + 1 \quad \cdots (12)$$

$$x^{17} + x^{12} + x^4 + x^3 + 1 \quad \cdots (13)$$

$$x^{19} - x^{17} + x^{13} + x^{10} + x^5 + x^2 + 1 \quad \cdots (14)$$

$$x^{23} + x^{20} + x^{13} + x^9 + x^4 + x^2 + 1 \quad \cdots (15)$$

【0048】表2からわかるように、この系列はM系列としての周期を保存し、かつ、表1に示した系列よりも1クロックごとのハミング距離が大きいことがわかる。

【0052】並べ替え回路110は、追続する乱数間の相間をさらに少なくするために、一様乱数発生器100で生成され出力された72ビットの一様乱数に対して、ビット位置の並び替えを行うものである。72ビットのデータは $2^1 \sim 2^6$ の桁(重み)を有する6ビットの2進データ12個であり、同一の桁同士のビットを入れ換えるても効果がないので、12回繰り返される6種類の数値を最もランダムに並べるような手法により並び替えが行われる。本実施の形態においては、フーリエ変換した場合の周波数スペクトルができるだけ均等になるように、その分散を最小にするような並び替えを行う。なお、並べ替え回路110は一様乱数発生器100と後述するエクスクルーシブOR演算部130との間の接続を規定する回路であり、並べ替えをどのように行ってもハードウェアの型は変化しない。並び替えの行われた72ビットの一様乱数は、エクスクルーシブOR演算部130に出力される。

【0053】EX系列発生器120は、さらに追続する出力間の相間を少なくするために、並べ替え回路110より出力される72ビットの一様乱数の各ビットに対して、エクスクルーシブOR(EXOR)を計算するため印加する新たな系列(以後、これをEX系列という)を生成する。このEX系列を生成する方法としては、別のM系列を用いる方法や、±1カウントを用いる方法などがあるが、本実施の形態においては、EX系列のビット幅において、全ての組み合わせを1周期の間に1回ずつとり、EX系列のクロックごとの0/1の変化数が、1周期の合計で最大となるような乱数系列を生成する。なお、EX乱数系列のビット幅は、本実施の形態では6であり、その周期は64である。

【0054】そのEX系列発生器120の具体的構成例を図6に示す。図6において、EX系列発生器120は、6ビットのマスタレジスタMLと5ビットのスレーブレジスタSを有する。マスタレジスタMLは、クロック信号CLKの立ち上がりエッジで入力端子D0～D5に入力されているデータを取り込み、それぞれ出力端子Q0～Q5に出力する。スレーブレジスタSは、クロック信号CLKの立ち下がりエッジで入力端子D1～D5に入力されているデータを取り込み、それぞれ出力端子Q1～Q5に出力する。また、マスタレジスタMLおよびスレーブレジスタSは、ともにリセット信号RSTによりリセットされる。マスタレジスタMLの出力m10～m15であるEX乱数系列ES1が2回繰り返されて12ビットのEXデータES2が生成され、エクスクルーシブOR演算部130に出力される。

【0055】エクスクルーシブOR演算部130は、並べ替え回路110より入力される72ビットの一様乱数の各ビットに対して、EX系列発生器120より入力されるEXデータES2を用いてエクスクルーシブOR(EXOR)を計算する。エクスクルーシブOR演算部

130の具体的構成を図7に示す。エクスクルーシブOR演算部130は、6個のエクスクルーシブOR演算器130_0～130_5を有する。各エクスクルーシブOR演算器130_i(i=0～5)には、並べ替え回路110より入力される各々12ビットの一様乱数のいずれかと、EX系列発生器120より入力される12ビットのEXデータES2が入力され、ビット同士のエクスクルーシブORが求められ、結果の12ビットのデータがに出力される。このようなエクスクルーシブORを求めるにより、「1」の総数が適当にちばたつたそれぞれ12ビットの乱数列MOS0～MOS5が生成され、周期がおよそ 2^{12} であり一様性も保証された72ビットの乱数列MOUTとしてCSAツリー140に出力される。

【0056】CSAツリー140およびフルアダーリンクは、エクスクルーシブOR演算部130で生成された各々6ビットの12個の一様乱数を加算する回路である。本実施の形態においては、キャリーセーブ加算器(CSA)を順次接続した回路(CSAツリー)により、それらの一様乱数を順次加算する。

【0057】そのCSAツリー140を構成する基本要素であるCSAを図8に示す。図8(a)はCSA回路の入出力を示す図であり、(b)はCSA回路の真理値を示す図である。また、図9はCSA回路の等化回路を示す図である。図示のごとく、CSA回路は3ビットのデータが入力され、1ビットの和信号Sと、1ビットのキャリーデータCが出力される、加算器である。このCSA回路をたとえば図10に示すように順次接続することにより、和信号Sを中心とした加算値と、キャリーデータを中心とした加算値Cの2系統の加算値が得られ、これがフルアダーリンクで加算されて最終的に10ビットの正規分布乱数NS1が得られる。

【0058】前述した図10は、CSAツリー140の部分回路ADDMSBの構成を示す図である。図10に示す部分回路ADDMSBでは、4ビットのデータc:0_3～c:0_0、3ビットのデータc:1_2～c:1_0、2ビットのデータc:2_1、c:2_0、および、1ビットのデータc:3の合計10ビットのデータが入力され、3ビットの和信号S_2～S_0と、2ビットのキャリーデータC_1、C_0が出力される。なお、CSAツリー140およびフルアダーリンクのCSA回路の各段の間には、適宜ラッチを配置するのが好適である。そのようにしておけば動作周波数を高くすることができ、回路のスループットを上げることができる。

【0059】このようなノイズ発生装置60の動作について説明する。ノイズ発生装置60においては、一様乱数発生器100により72ビットのM系列が発生され、並べ替え回路110により並び替えられて12ビットの6個の乱数列MS0～MS5が生成される。また、EX

系列発生器120により6ビットのEX系列ES1が発生され、これが2回繰り返されて12ビットの乱数列ES2が生成される。

【0060】エクスクルーシブOR演算部130により、12ビットの乱数列ES2と乱数列MS0～MS5のそれぞれのビットのエクスクルーシブORが求められ、系72ビットの乱数列MOUTが得られる。この乱数列MOUTには、「1」の総数が適当に設らばっており、一様性および正規性が保証されている。エクスクルーシブOR演算部130から出力された乱数列MOUTに対して、CSAにより構成されたCSAツリー140により計算処理が行われ、さらにフルアダーフィルタ150により最終的に16ビットの正規分布乱数列NS1が得られる。この乱数列NS1がDAC70に出力される。

【0061】以上説明したように、本実施の形態の波形生成装置1によれば、波形記憶装置10に記憶している波形データに基づいて所望の波形信号を生成し、ノイズ発生装置60により実時間で正規分布乱数列に基づいたノイズ信号を生成している。そして、そのノイズ信号のレベルを副減衰器80により調整する。すなわちS/N比を調整した後、波形信号と合成し、信号全体のレベルを主減衰器40により調整し、さらにローパスフィルタ50により高調波ノイズを減衰させた後出力している。したがって、所望の信号波形に、ランダム正規分布ノイズを実時間で印加した信号波形を生成することができる。またその際に、ノイズの信号に対するS/N比や、生成する信号のレベルを所望の値にすることができる。したがって、そのような所望のノイズを含んだ所望の信号波形を用いた試験、計測などを適切に行うことができる。

【0062】そして特に、波形生成装置1によれば、そのランダムノイズを生成する際に、M系列としての周期を維持しながら、従来に比べて1サンプルごとのハミング距離がより大きい遷移行列に基づいて乱数列を生成しているので、より相間の少ない、換言すればよりランダムなノイズを生成することができる。またそのノイズ発生装置は、比較的簡単な構成によりハードウェアの大規模化を防ぐように構成されているので、これまでの波形生成装置に十分取容することができる。その結果、そのような高性能なランダムノイズを高速に発生して所望の信号波形形成することのできる波形生成装置を提供することができる。

【0063】なお、本発明は本実施の形態に限られるも*

$$P = \prod_{i=1}^n (U_i \oplus W_i) \quad \dots (17)$$

但し、 U_i, W_i は、 U_i, W_i との等数である。

【0069】また、ノイズ発生装置60は、一様乱数発生器100により生成された72ビットの一様乱数に対

*のではなく、種々の変換が可能である。たとえば、本実施の形態においては、一様乱数発生器100は、遷移行列Mに対して、正則行列Aを用いて $A^{-1}MA$ と変換して得られる遷移行列に基づいて構成したものであった。しかし、本発明の要旨は、このような変換を行い、M系列の周期などを維持した状態で遷移する系列の前後でハミング距離が大きくなるような遷移行列を得て、その行列に基づいて一様乱数発生器を構成することにある。したがって、このような変換の他にも任意の変換を行ってよい。

【0064】まず、Mの代わりに、その転置行列である ' M ' を用いてもよいことは明らかである。したがって、以下に述べる他の例においても、行列Mの代わりに転置行列 ' M ' を用いても等しく有効である。また、直交行列 U とその転置行列 ' U ' を用いて、 ' UMU ' と変換して得られる遷移行列に基づいて一様乱数発生器100を構成してもよい。

【0065】また、その直交行列 U として、任意の直なり合わない、行からの s_i 、行と j 行からの s_j 、行 $(i \neq j)$ を入れ替えた行列 S を用いて、 ' SMU ' と変換して得られる移行行列に基づいて一様乱数発生器100を構成してもよい。たとえば3次の単位行列に対し、上2行と下1行を交換した(16)に示すような行列は、直交行列である。

【0066】

【数13】

$$\begin{pmatrix} 0 & 0 & 1 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{pmatrix} \quad \dots (16)$$

30

【0067】また、遷移行列Mに対して、自己直交行列 W を用いて WMW と変換して得られる遷移行列に基づいて一様乱数発生器100を構成してもよい。自己直交行列として、単位行列 I に第 i 行第 j 列 ($i \neq j$) の要素が1の行列 E_{ij} を加算した行列 B ($= I + E_{ij}$) を用いて、 BMB と変換して得られる遷移行列に基づいて一様乱数発生器100を構成してもよい。さらに、遷移行列 M に対して、正則行列 A しての直交行列 U と自己直交行列 W を任意に乗算した(17)に示す行列 P を用いて、 $P^{-1}MP$ と変換して得られる遷移行列に基づいて一様乱数発生器100を構成してもよい。

【0068】

【数14】

$$P = \prod_{i=1}^n (U_i \oplus W_i) \quad \dots (17)$$

して、さらに並べ替え回路110により並び替えを行い、そのデータに対してEX系列発生器120で生成さ

れた乱数列を用いてエクスクルーシブOR演算部130でエクスクルーシブORが求めている。これらの処理は、いずれもサンプル間での相間をより少なくするために行われるものであり、このようにいくつもの方策をとることはより良質のランダムノイズを得るために好適である。しかしながら、一様乱数発生器100で生成される72ビットの乱数は、この時点で既に従来の方法に比べて十分良質の一様乱数となっている。したがって、並べ替え回路110、および、EX系列発生器120およびエクスクルーシブOR演算部130などの装置は有しないような構成であっても、本発明の目的を達成できることは明らかであり、そのような構成でもよい。そのような構成によれば、より一層ハードウェアの構成を簡単にすることができる。

【0070】さらに、一様乱数発生器100においても、本実施の形態においては、生成する乱数間の相間を小さくするために、72ビットを、13ビット、17ビット、19ビットおよび23ビットに分割し、それぞれに対して独立した乱数系列を生成するようにしている。しかし、本発明に係わる遷移行列に基づいた回路を用いることにより、これらの相間も従来に比べて十分小さくなっている。したがって、乱数の周期が2⁷²で十分であれば、そのような分割を行わず、72ビットを1つの遷移行列に基づく単一の系列により生成するようにしてもよい。

【0071】また、ノイズ発生装置60の一様乱数発生器100において、生成する一様乱数の連続する出力の相間をさらに小さくするためには、M系列を生成する原始多項式の項数を適度に多くすることや、高次項を含む原始多項式を用いることが有効であり、そのようにしてもよい。また、1クロックで複数ビット分シフトすることも有効であり、そのようにしてもよい。その場合、1クロックで2ビット分シフトさせても、M系列の周期は必ず奇数なので、全体としての周期は減少させず有効である。

【0072】

【発明の効果】以上説明したように、本発明のノイズ発生装置によれば、ハードウェアの増加を抑制しながら、*

*高遠に良質な正規乱数ノイズを発生することができる。また、本発明の波形生成装置によれば、ハードウェアの増加を抑制しながら、良質の正規乱数ノイズを含んだ任意の波形信号を実時間で生成することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の波形生成装置の構成を示すブロック図である。

【図2】図1に示した波形生成装置のノイズ発生装置の構成を示すブロック図である。

10 【図3】図2に示したノイズ発生装置の一様乱数発生器における乱数発生方法を説明するための第1の図である。

【図4】図2に示したノイズ発生装置の一様乱数発生器における乱数発生方法を説明するための第2の図である。

【図5】図2に示したノイズ発生装置の一様乱数発生器の構成例を4ビットの乱数系列を用いて例示した図である。

20 【図6】図2に示したノイズ発生装置のEX系列発生器の構成を説明するための図である。

【図7】図2に示したノイズ発生装置のエクスクルーシブOR演算部の構成を説明するための図である。

【図8】図2に示したノイズ発生装置のCSAツリーの構成を説明するための図であり、(a)はCSA回路の入出力を示す図であり、(b)はCSA回路の真理値を示す図である。

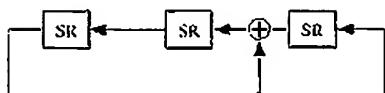
【図9】図8に示したCSA回路の等化回路を示す図である。

30 【図10】図2に示したノイズ発生装置のCSAツリーの部分回路の構成を示す図である。

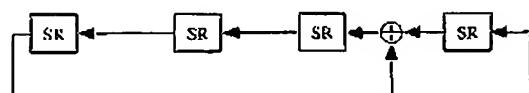
【符号の説明】

1…波形生成装置、10…波形記録装置、20…DA
C、30…加算器、40…主減算器、50…ローバスフィルタ、60…ノイズ発生装置、70…D/A、80…副減算器、100…一様乱数発生器、110…並べ替え回路、120…EX系列発生器、130…エクスクルーシブOR演算部、140…CSAツリー、150…フルアダ

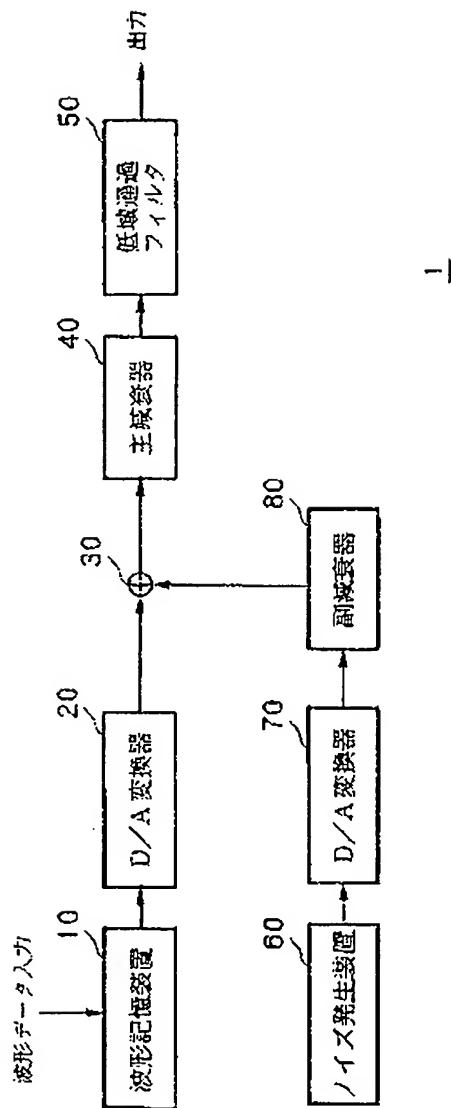
【図3】



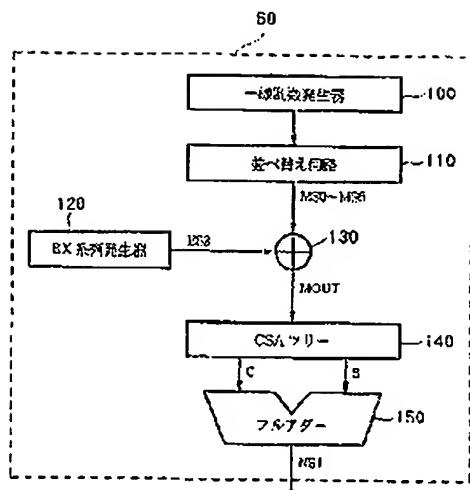
【図4】



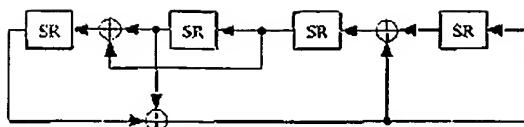
【图1】



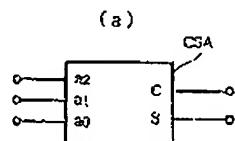
[図2]



[図5]



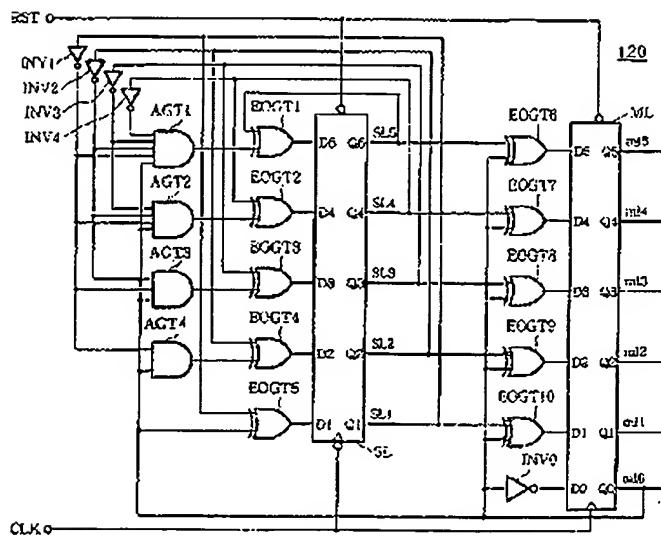
[図8]



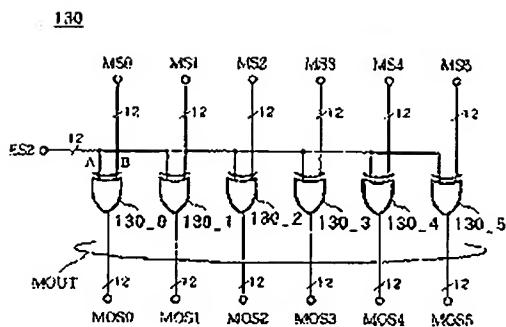
(b)

a2	a1	a0	S	C
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
1	0	0	1	0
0	1	1	0	1
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

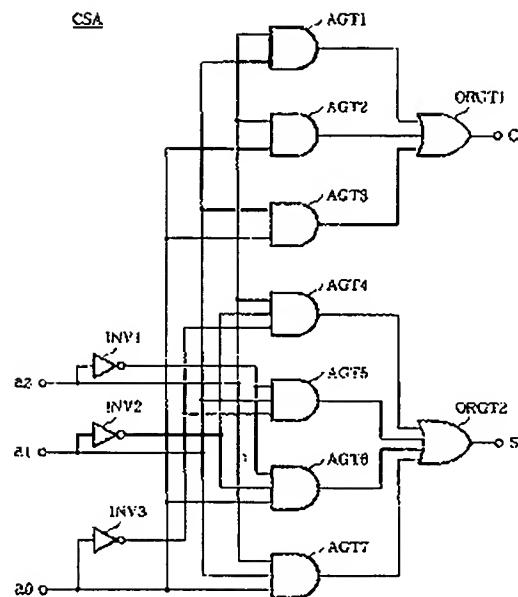
[図6]



[?]



[图9]



【图10】

